

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 05-206415

(43)Date of publication of application : 13.08.1993

(51)Int.Cl.

H01L 27/118

H01L 27/04

H01L 27/092

(21)Application number : 03-318755

(71)Applicant : NEC CORP

(22)Date of filing : 03.12.1991

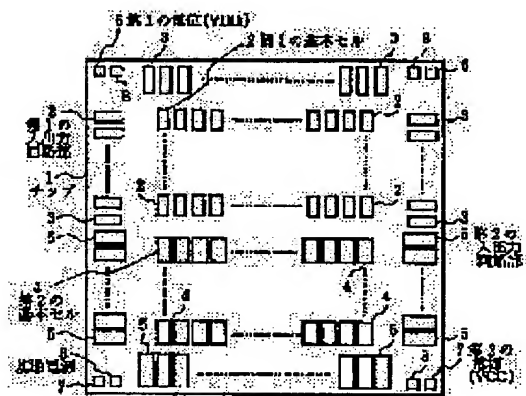
(72)Inventor : TANAKA TOSHIAKI

(54) CMOS GATE ARRAY

(57)Abstract:

PURPOSE: To mount, on one chip, CMOS logic circuits which are operated by different power-supply voltages.

CONSTITUTION: First power supplies 6 and second power supplies 7 which are different are arranged at corner parts on a chip 1. First fundamental cells 2 which are composed of MOS transistors suitable for the first power supplies 6 are arranged in the central part. First input/output circuit parts 3 which correspond to the first fundamental cells 2 are arranged at peripheral parts. In the same manner, second fundamental cells 4 which are composed of MOS transistors suitable for the second power supplies 7 are arranged in the central part. Second input/output circuit parts 5 which correspond to the second fundamental cells 4 are arranged at peripheral parts. In this manner, a CMOS logic circuit which is operated by the first power supplies 6 and a CMOS logic circuit which is operated by the second power supplies 7 are mounted on an array half by half.



LEGAL STATUS

[Date of request for examination]

12.12.1997

[Date of sending the examiner's decision of rejection]

21.11.2000

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平 5 - 2 0 6 4 1 5

(43) 公開日 平成 5 年 (1993) 8 月 1 3 日

(51) Int. Cl. ⁵	識別記号	庁内整理番号	F I	技術表示箇所
H01L 27/118				
27/04	A	8427-4M		
27/092				
		9169-4M	H01L 21/82	M
		7342-4M	27/08	321 J
審査請求 未請求 請求項の数 1 (全 4 頁)				

(21) 出願番号 特願平 3 - 3 1 8 7 5 5

(22) 出願日 平成 3 年 (1991) 12 月 3 日

(71) 出願人 0 0 0 0 0 4 2 3 7

日本電気株式会社

東京都港区芝五丁目 7 番 1 号

(72) 発明者 田中 敏昭

東京都港区芝五丁目 7 番 1 号日本電気株式会社内

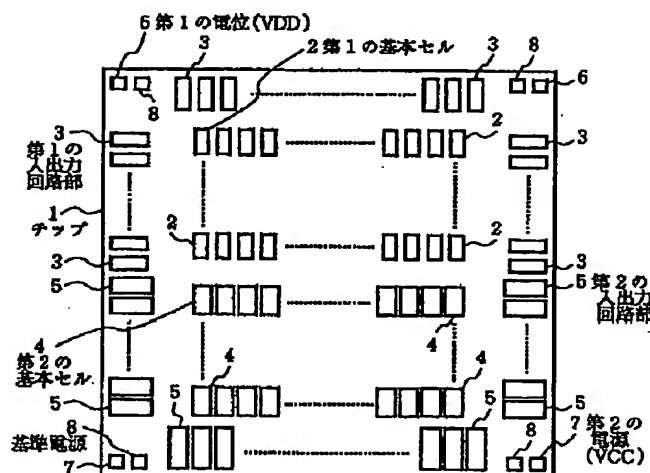
(74) 代理人 弁理士 京本 直樹 (外 2 名)

(54) 【発明の名称】 CMOS ゲートアレイ

(57) 【要約】

【目的】 異なる電源電圧で動作する CMOS 論理回路を 1 チップ上に搭載することにある。

【構成】 異なる第 1 の電源 6 と第 2 の電源 7 をチップ 1 のコーナー部に配置し、第 1 の電源 6 に適した MOS トランジスタから成る第 1 の基本セル 2 を中央部に且つ第 1 の基本セル 2 に対応する第 1 の入出力回路部 3 を周辺部に配置する。同様に、第 2 の電源 7 に適した MOS トランジスタから成る第 2 の基本セル 4 を中央部に且つ第 2 の基本セル 4 に対応する第 2 の入出力回路部 5 を周辺部に配置する。このように、第 1 の電源 6 で動作する CMOS 論理回路と第 2 の電源で動作する CMOS 論理回路とをアレー上に半分ずつ搭載する。



【特許請求の範囲】

【請求項 1】 異なる第 1 および第 2 の電源並びに基準電源と、前記第 1 の電源より給電される第 1 の基本セルおよび第 1 の入出力回路部と、前記第 2 の電源より給電される第 2 の基本セルおよび第 2 の入出力回路部とを有し、前記第 1 の基本セルを形成する MOS トランジスタと前記第 2 の基本セルを形成する MOS トランジスタのしきい値電圧およびチャネル長を異ならせ且つ前記第 1 の入出力回路部を形成する MOS トランジスタと前記第 2 の入出力回路部を形成する MOS トランジスタのしきい値電圧およびチャネル長を異ならせることを特徴とする CMOS ゲートアレイ。

【発明の詳細な説明】

【 0 0 0 1 】

【産業上の利用分野】 本発明は半導体集積回路の CMOS ゲートアレイに関し、特に複数種類の電源を備えた CMOS ゲートアレイに関する。

【 0 0 0 2 】

【従来の技術】 従来の CMOS ゲートアレイはチップの中央に MOS トランジスタからなる基本セルをアレイ状に配置し、その周囲に入出力回路部を配置したり、電源パッドを配置して構成される。

【 0 0 0 3 】 図 3 は従来の一例を示す CMOS ゲートアレイチップの平面図である。図 3 に示すように、従来の CMOS ゲートアレイチップ 1 a は第 1 の電源 (VDD) 6 と第 2 の電源 (VCC) 7 および基準電源 (GND) 8 と、第 1 の電源 6 より給電される基本セル 2 と、第 1 の電源 6 または第 2 の電源 7 より給電される入出力回路部 3 とを有している。電源 6 ~ 8 はチップ 1 a の四隅に分散され、基本セル 2 を中央に且つ入出力回路部 3 を周辺部に配置している。しかも、中央部に集中して配置される基本セル 2 および周辺部に沿って配置される入出力回路部 3 はそれぞれ同一形状且つ同一サイズである。

【 0 0 0 4 】 図 4 は図 3 に示す基本セルの平面図である。図 4 に示すように、基本セル 2 は P 型拡散層 9 および多結晶シリコン層 (以下、ポリシリコンと称す) 11 より成る PchMOS トランジスタ 12 と、N 型拡散層 10 およびポリシリコン 11 より成る NchMOS トランジスタ 13 とから構成されている。

【 0 0 0 5 】 かかる CMOS ゲートアレイは第 1 の電源 6 と第 2 の電源 7 の両電圧で動作させるため、PchMOS トランジスタ 12 と NchMOS トランジスタ 13 のしきい値電圧およびチャネル長は、第 1 の電源 6 と第 2 の電源 7 のどちらか低い電源電圧で動作するのに適した値に設定されている。今、第 1 の電源 6 を第 2 の電源 7 より低電圧であると仮定すると、PchMOS トランジスタ 12 および NchMOS トランジスタ 13 は第 1 の電源 6 で動作するのに最適なトランジスタとなり、第 2 の電源 7 で動作するのに最適なトランジスタよりもし

きい値電圧が低く且つチャネル長が長い MOS トランジスタとなる。また、入出力回路部 3 を構成する PchMOS トランジスタおよび NchMOS トランジスタも同様に、基本セル 2 の PchMOS トランジスタ 12 および NchMOS トランジスタ 13 と同じしきい値電圧およびチャネル長を有する MOS トランジスタとなる。

【 0 0 0 6 】

【発明が解決しようとする課題】 上述した従来の CMOS ゲートアレイを構成する基本セルや入出力部は低電圧動作に適したしきい値電圧およびチャネル長を有する MOS トランジスタで構成されている。このため、第 1 の電源 (VDD) で動作する CMOS 論理回路と、第 2 の電源 (VCC) で動作する CMOS 論理回路とを 1 チップの CMOS ゲートアレイ上に搭載するのが困難であるという欠点がある。

【 0 0 0 7 】 本発明の目的は、かかる異なる電源電圧で動作する CMOS 論理回路を 1 チップ化することのできる CMOS ゲートアレイを提供することにある。

【 0 0 0 8 】

【課題を解決するための手段】 本発明の CMOS ゲートアレイは、異なる第 1 および第 2 の電源並びに基準電源と、前記第 1 の電源より給電される第 1 の基本セルおよび第 1 の入出力回路部と、前記第 2 の電源より給電される第 2 の基本セルおよび第 2 の入出力回路部とを有し、前記第 1 の基本セルを形成する MOS トランジスタと前記第 2 の基本セルを形成する MOS トランジスタのしきい値電圧およびチャネル長を異ならせ且つ前記第 1 の入出力回路部を形成する MOS トランジスタと前記第 2 の入出力回路部を形成する MOS トランジスタのしきい値電圧およびチャネル長を異ならせるように構成される。

【 0 0 0 9 】

【実施例】 次に、本発明の実施例について図面を参照して説明する。

【 0 0 1 0 】 図 1 は本発明の第 1 の実施例を示す CMOS ゲートアレイチップの平面図である。図 1 に示すように、本実施例はチップ 1 の中央部に MOS トランジスタからなる第 1 の基本セル 2 と第 2 の基本セル 4 を配置し、周辺部に第 1 および第 2 の基本セル 2, 4 にそれぞれ対応する第 1 の入出力回路部 3 と第 2 の入出力回路部 5 とを配置する。また、チップ 1 の四隅には、第 1 の電源 (VDD) 6 と第 2 の電源 (VCC) 7 および基準電源 8 を組合わせて配置する。すなわち、第 1 の電源 (VDD) 6 はチップ 1 の上辺の左端および右端に置き、第 1 の電源 6 より給電される第 1 の基本セル 2 はチップ 1 の上半分にアレイ状に配置するとともに、さらに第 1 の電源 6 より給電される第 1 の入出力回路部 3 は左辺および右辺の上半分と上辺に配置する。一方、第 2 の電源 (VCC) 7 はチップ 1 の下辺の左端および右端に置き、第 2 の電源 7 より給電される第 2 の基本セル 4 はチップ 1 の下半分にアレイ状に配置するとともに、第 2 の

電源 7 より給電される第 2 の入出力回路部 5 は左辺および右辺の下半分と下辺に配置している。

【0011】かかる CMOS ゲートアレイにおいて、第 2 の電源 7 は第 1 の電源 6 より高電圧であるため、第 1 の基本セル 2 を構成する MOS トランジスタは第 2 の基本セル 4 を構成する MOS トランジスタよりしきい値電圧が低く且つチャネル長が長い。同様に、第 1 の入出力回路部 3 を構成する MOS トランジスタは第 2 の入出力回路部 5 を構成する MOS トランジスタよりしきい値電圧が低く且つチャネル長が長い。

【0012】例えば、第 1 の電源 6 の電圧を 1 V、第 2 の電源 7 の電圧を 5 V と想定すると、第 1 の基本セル 2 の P c h MOS トランジスタのしきい値電圧は - 0 . 6 5 V、チャネル長は 2 . 4 μ m となり、N c h MOS トランジスタのしきい値電圧は 0 . 6 V、チャネル長は 2 . 2 μ m となるのに対し、第 2 の基本セル 4 の P c h MOS トランジスタのしきい値電圧は - 0 . 7 V、チャネル長は 1 . 8 μ m となり、N c h MOS トランジスタのしきい値電圧は 0 . 7 V、チャネル長は 1 . 6 μ m となる。

【0013】このように、本実施例によれば、異なる第 1 および第 2 の電源 6、7 の電圧で動作する二つの CMOS 論理回路を 1 チップ化することが可能になる。

【0014】図 2 は本発明の第 2 の実施例を示す CMOS ゲートアレイチップの平面図である。図 1 に示すように、本実施例は第 1 の電源 (VDD) 6 をチップ 1 の上辺の左端とチップ 1 の下辺の右端に配置し、第 2 の電源 (VCC) 7 をチップ 1 の上辺の右端とチップ 1 の下辺の左端に配置したこと、第 1 の電源 6 より給電される第 1 の基本セル 2 と第 2 の電源 7 より給電される第 2 の基本セル 4 をチップ 1 の中央部に交互に配置したこと、および第 1 の電源 6 より給電される第 1 の入出力回路部 3 と第 2 の電源 7 より給電される第 2 の入出力回路部 5 を交互にチップ 1 の周辺部に配置したことが前述した第 1 の実施例と比較して相違している。本実施例では、第 1 の基本セル 2 と第 2 の基本セル 4 が交互に配置されているため、電源電圧の異なる回路をチップ上の任意の位置

に作成することが出来る。また、第 1 の入出力回路部 3 と第 2 の入出力回路部 5 はチップ 1 の周辺部に交互に配置されているため、チップ 1 の周辺の任意の位置に電源電圧や入出力電圧の異なる入出力回路を設置することができる。

【0015】上述した二つの実施例は、現在 3 V 系で動作する CPU IC と 1 V 系で動作するデコーダ IC との 2 つのチップで実現されているページング受信機等の 1 チップ化に適している。

10 【0016】

【発明の効果】以上説明したように、本発明の CMOS ゲートアレイは、第 1 および第 2 の異なる電源と、第 1 の電源に適したしきい値電圧やチャネル長を持つ MOS トランジスタで形成した第 1 の基本セルおよび第 1 の入出力回路部と、第 2 の電源に適したしきい値電圧やチャネル長を持つ MOS トランジスタで形成した第 2 の基本セルおよび第 2 の入出力回路部とを有することにより、異なる電源電圧で動作する CMOS 論理回路を 1 チップ化できるという効果がある。

20 【図面の簡単な説明】

【図 1】本発明の第 1 の実施例を示す CMOS ゲートアレイチップの平面図である。

【図 2】本発明の第 2 の実施例を示す CMOS ゲートアレイチップの平面図である。

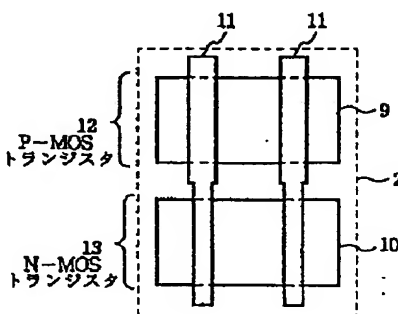
【図 3】従来の一例を示す CMOS ゲートアレイチップの平面図である。

【図 4】図 3 に示す基本セルの平面図である。

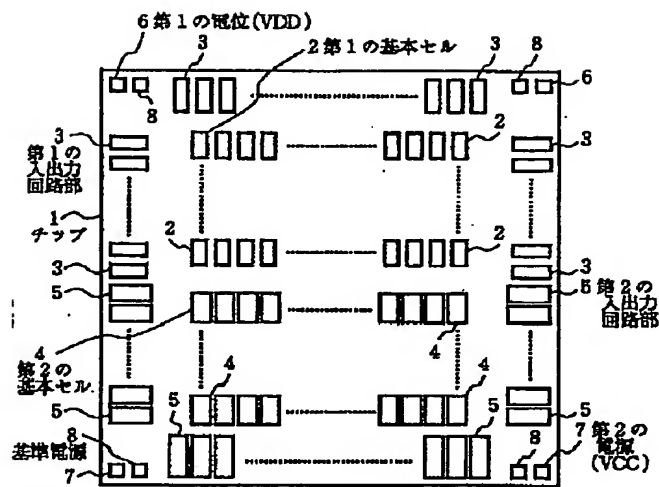
【符号の説明】

- | | |
|---|---------------|
| 1 | チップ |
| 2 | 第 1 の基本セル |
| 3 | 第 1 の入出力回路部 |
| 4 | 第 2 の基本セル |
| 5 | 第 2 の入出力回路部 |
| 6 | 第 1 の電源 (VDD) |
| 7 | 第 2 の電源 (VCC) |
| 8 | 基準電源 (GND) |

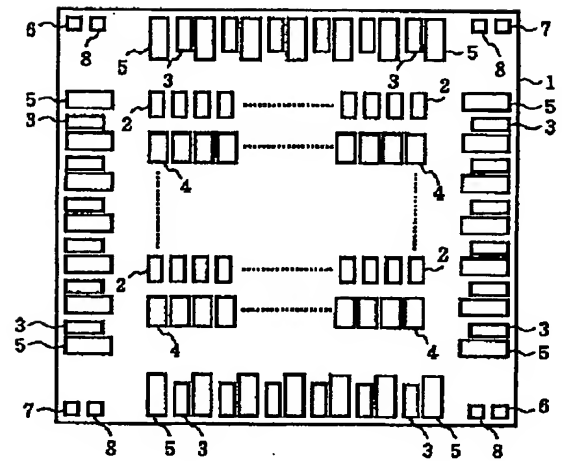
【図 4】



【図 1】



【図 2】



【図 3】

